

CODIFICADOR CMOS ORIENTADO AL RECONOCIMIENTO DE PATRONES CON INDEPENDENCIA DE ESCALA

Julio Saldaña-Pumarica⁽¹⁾, Emilio Del-Moral-Hernández⁽²⁾, Carlos Silva-Cárdenas⁽¹⁾

⁽¹⁾ Grupo de Microelectrónica de la Pontificia Universidad Católica del Perú, ⁽²⁾ Departamento de Ingeniería de Sistemas Electrónicos de la Universidad de Sao Paulo

saldana.jc@pucp.edu.pe, csilva@pucp.edu.pe, emilio_del_moral@ieee.org

ABSTRACT

The present paper reports the design of a CMOS circuit capable of codifying the natural logarithm of an analog voltage in the relative phase of a train of pulses. The circuit is aimed to the implementation of a scale-independent pattern recognition system, based on the explanation provided by J. Hopfield for the human brain pattern-recognition computation in terms of stimuli representation through the phase of the action potentials. The circuit is designed targeting the AMS 0.35 μm process, occupying a core area of 0.0049 mm^2 and with a power consumption of less than 14 μW at a clock frequency of 0.33 MHz. The circuit codifies analog input voltages ranging from 1 to 2 V in phase differences between 2 and 2.9 μs .

1. INTRODUCCIÓN

Actualmente existe un creciente interés en el estudio de la estructura y el comportamiento del sistema nervioso, en parte por la búsqueda de implementaciones electrónicas que se acerquen cada vez más, en cuanto a la capacidad de procesamiento, al cerebro humano [1], y por la necesidad de sistemas artificiales que interactúen con su contraparte natural [2]. En el contexto de las redes neuronales artificiales, esta tendencia ha dado lugar a una tercera generación, en la cual la información está contenida en la frecuencia o fase de pulsos eléctricos [3].

Uno de los problemas abordados ha sido la forma en que el cerebro procesa la información con el fin de reconocer patrones, para el cual se tiene entre otras, la explicación de Hopfield [4]. En dicha propuesta se plantea el uso de la fase de los pulsos eléctricos para representar el estímulo, y en particular que la fase es proporcional al logaritmo natural del estímulo. Con el propósito de llevar dicha propuesta a hardware, se ha realizado el diseño de la etapa de codificación de la señal.

En la sección siguiente se presenta el sistema de reconocimiento de patrones en base a lo planteado por Hopfield [4]. Posteriormente, en la sección 3 se explica

la arquitectura y funcionamiento del codificador CMOS propuesto. La sección 4 detalla los resultados de simulación a nivel de *layout* y finalmente la sección 5 muestra las conclusiones.

2. RECONOCIMIENTO DE PATRONES CON INDEPENDENCIA DE ESCALA

En base a lo propuesto por Hopfield [4] se plantea la arquitectura mostrada en la figura 1, que representa un sistema de reconocimiento de patrones con independencia de escala.

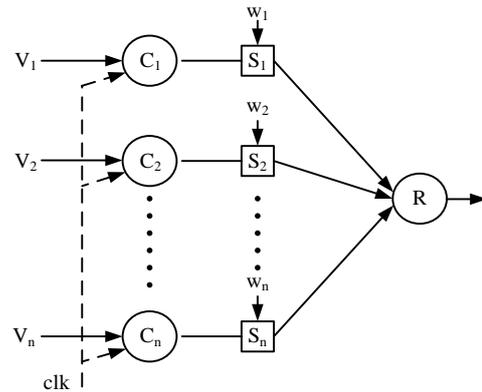


Figura 1: Sistema de reconocimiento de patrones con independencia de la escala [4].

Este sistema recibe un vector de señales analógicas (V_1, V_2, \dots, V_n) y debe detectar si las señales de entrada se encuentran en alguna proporción predefinida.

$$\frac{V_1}{P_1} = \frac{V_2}{P_2} = \dots = \frac{V_n}{P_n} = k \quad (1)$$

Las neuronas codificadoras (C_i) generan trenes de pulsos que están desfasados (ϕ_i) respecto a la señal de sincronía (clk) en un lapso que es proporcional al logaritmo natural del voltaje respectivo (V_i).

$$\phi_i = A \cdot \ln(V_i) + B \quad (2)$$

Las sinapsis (S_i) introducen retardos (δ_i) controlados por los pesos (w_i) e inversamente proporcionales a los logaritmos naturales de los consecuentes de la proporción (1) (p_i).

$$\delta_i = A \cdot \ln\left(\frac{1}{p_i}\right) + C \quad (3)$$

Respecto a la señal de sincronía, la fase de los pulsos post-sinápticos será:

$$\phi_i + \delta_i = A \cdot \ln\left(\frac{V_i}{p_i}\right) + D \quad (4)$$

De esta manera, si se da la proporción predefinida, los pulsos dados por las sinapsis tendrán la misma fase, y entonces la neurona de reconocimiento de coincidencia (R) generará un pulso, indicando que se ha reconocido el patrón.

3. CODIFICADOR CMOS

El diagrama de bloques del codificador propuesto en este trabajo se muestra en la figura 2.a, mientras que en la figura 2.b se tiene el diagrama de tiempos correspondiente.

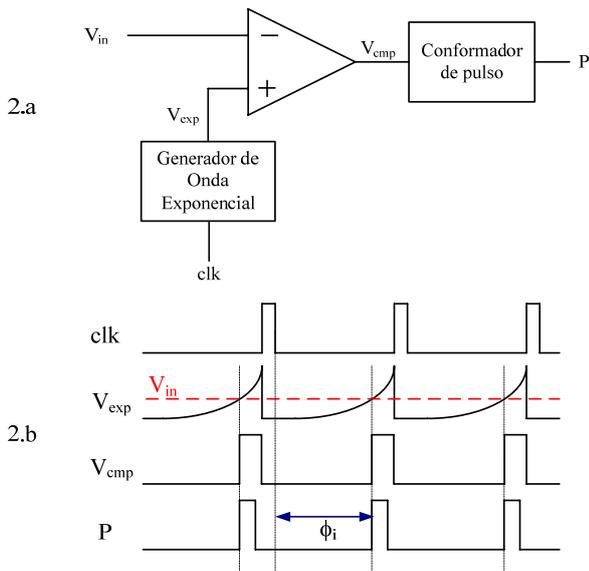


Figura 2: (a) Diagrama de bloques del codificador. (b) diagrama de tiempos.

A partir de la señal de sincronización (clk) se genera una señal (V_{exp}), la cual es periódica y posee un comportamiento exponencial respecto al tiempo dentro de cada periodo. El voltaje a codificar (V_{in}) es comparado con dicha señal exponencial. Cada vez que la señal exponencial alcanza el valor de entrada, la salida del comparador (V_{cmp}) va a nivel alto. Finalmente el conformador de pulsos, genera pulsos (P) de anchos constantes a partir de la salida del comparador. Debido a que la señal V_{exp} varía en forma exponencial respecto al tiempo (dentro de un período de clk), entonces alcanzará el valor V_{in} , cuando haya transcurrido un tiempo

(respecto al flanco de bajada del clk) que es logarítmico respecto a V_{in} . De esta manera se generan pulsos (P) cuya fase (ϕ_i) respecto a clk es una función logarítmica de V_{in} .

Con el fin de obtener la forma exponencial se aprovecha el comportamiento exponencial de la corriente de un transistor MOSFET operando en régimen de inversión débil. El circuito que genera la onda exponencial es mostrado en la figura 3.

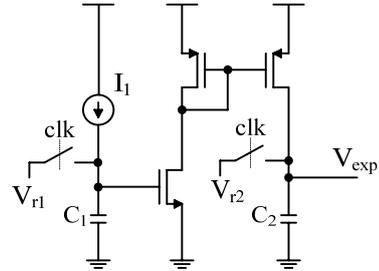


Figura 3: Generador de onda exponencial.

La corriente constante I_1 es integrada en el capacitor C_1 generando un voltaje en la compuerta del transistor NMOS que varía linealmente con el tiempo. Dicha integración se da a partir de un voltaje de referencia (V_{r1}) al cual es descargado el condensador periódicamente, bajo el control de la señal (clk). Los valores de I_1 y V_{r1} deben ser elegidos apropiadamente para mantener el transistor NMOS en región sub-umbral. La corriente a través del transistor NMOS varía de manera exponencial respecto al voltaje en su compuerta, es decir de manera exponencial con el tiempo.

Dicha corriente es copiada a través del espejo basado en transistores PMOS, y es integrada en el capacitor C_2 . El resultado de la integración de la corriente exponencial es el voltaje de salida exponencial V_{exp} . El condensador C_2 es descargado periódicamente, bajo el control de la señal (clk), al nivel de referencia V_{r2} , el cual determinará el offset para la onda de salida. El valor de V_{r2} es elegido dentro del rango de entrada común del comparador. En la figura 2.b, tanto V_{in} como V_{exp} tienen un offset igual a V_{r2} , por lo tanto la fase del pulso generado será proporcional al logaritmo de $V_{in} - V_{r2}$.

La etapa de comparación está basada en el circuito utilizado para la neurona pulsada reportada en [5], el cual consiste de un OTA simétrico seguido de un circuito Schmitt Trigger, el cual asegura estabilidad en la salida. El circuito generador de pulsos, mostrado en la figura 4, se basa en el principio utilizado por Lazzaro [6] para generar un retardo controlado a un pulso. Este circuito consiste de 4 inversores en serie y una compuerta NOR, entre los cuales el segundo inversor tiene un transistor PMOS adicional. El voltaje de compuerta de este transistor PMOS permite controlar la conductividad del camino de carga del nodo de salida de dicho inversor modificado. Esto permite aumentar a voluntad el tiempo de subida de la señal en ese nodo, tal que al pasar la señal sucesivamente por dos inversores

más, se obtiene una versión retardada de la señal; dicho retardo estará controlado entonces por el voltaje V_c .

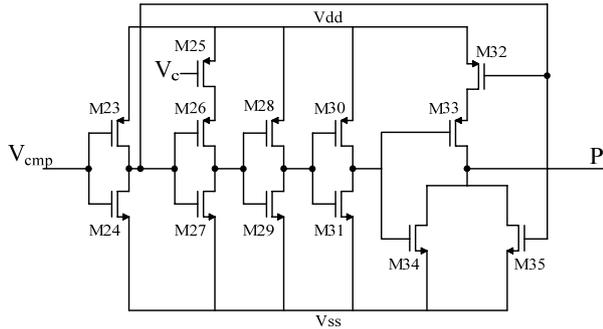


Figura 4: Circuito conformador de pulso.

La compuerta NOR cumple la función de construir el pulso de salida, siendo sus entradas V_{cmp} y de la versión retardada de la negación lógica de V_{cmp} .

El layout de todo el circuito codificador está mostrado en la figura 5.

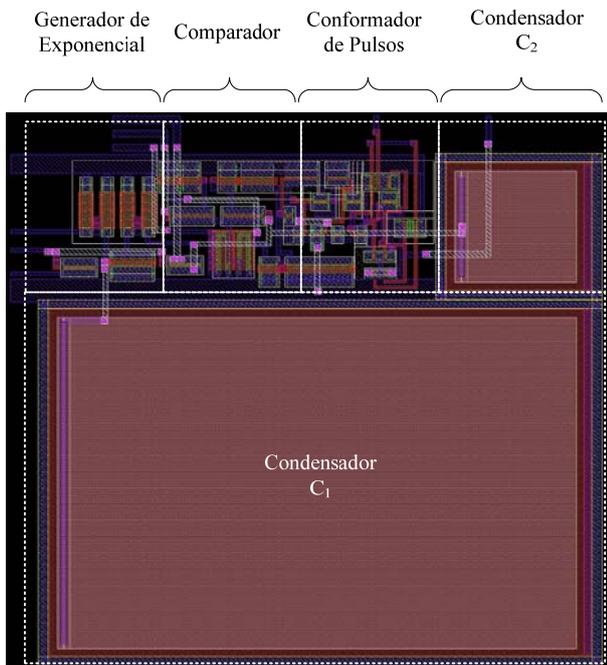


Figura 5: Layout del circuito codificador.

4. RESULTADOS

Tal como se mostró en la figura 3, el condensador C_2 descarga periódicamente al valor V_{r2} . Dicho valor ha sido fijado a 1V, por lo cual la señal a codificar es $V_{in} - 1V$. En la tabla 1 se muestran las fases de los pulsos generados por el circuito para voltajes de entrada en el rango de 1.05 a 1.45 V.

En la figura 6 se muestran la curva correspondiente a las fases de los pulsos obtenidos por simulación, y la curva de ajuste de dichos valores a una función logarítmica.

Tabla 1: Fase de pulsos generados por el circuito

Voltaje Aplicado: V_{in} (V)	Señal a Codificar: $V_{in} - 1$ (V)	Fase de los pulsos (μs)
1.05	0.05	2.15
1.10	0.10	2.25
1.15	0.15	2.33
1.20	0.20	2.40
1.25	0.25	2.46
1.30	0.30	2.52
1.35	0.35	2.56
1.40	0.40	2.61
1.45	0.45	2.65

Como se puede apreciar las curvas son prácticamente coincidentes.

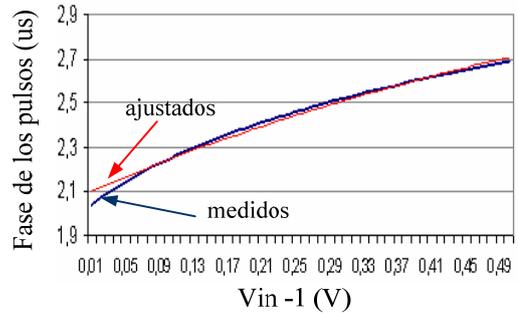


Figura 6: Fase de los pulsos generados por el circuito, valores medidos y valores ajustados a una curva logarítmica.

El circuito ocupa un área de $70\mu m \times 70\mu m$ y consume una potencia de $13.86 \mu W$.

Un aspecto a resaltar es la necesidad de asegurar la operación en inversión débil del transistor que provee la corriente exponencial, en la etapa de entrada. Como se observa en la figura 3, el condensador conectado a la compuerta de dicho transistor, descarga a V_{r1} periódicamente. El valor de V_{r1} ha sido fijado a 280mV, de esta manera el condensador carga de 280mV a 480mV asegurando la operación del transistor en región sub-umbral.

Luego de realizar un análisis de peor caso, se comprueba que el voltaje hasta el cual carga el condensador oscila entre 470 mV y 490 mV, asegurando aun en el peor caso el comportamiento exponencial de la corriente del MOSFET, fundamental para la codificación logarítmica. Los condensadores C_1 y C_2 tienen como valores 2.5 pF y 200 nF respectivamente.

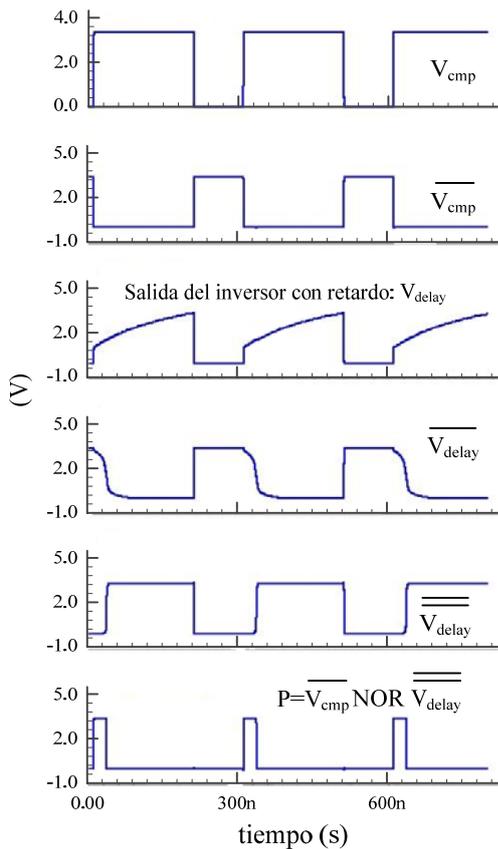


Figura 7: Operación del conformador de pulsos

5. CONCLUSIONES

Se ha diseñado el circuito que realiza la codificación en fase de señales analógicas de voltaje, para un sistema de reconocimiento de patrones en el cual se utiliza la fase de pulsos para representar la información. El *layout* del circuito ha sido enviado a una “foundry” para su implementación.

Los resultados de simulación DC, transitoria y del peor caso, muestran que el circuito es capaz de generar pulsos cuyas fases son proporcionales al logaritmo natural de la señal de interés. Asimismo, el área utilizada lo hace adecuado para la implementación del sistema completo de reconocimiento de patrones con independencia de escala. Dicho sistema se encuentra en etapa de diseño.

Esta implementación lleva a hardware modelos neuronales pulsados, un tema en franco desarrollo en el contexto de las redes neuronales artificiales.

AGRADECIMIENTOS

Este trabajo es el fruto de una pasantía de un integrante del Grupo de Microelectrónica (GUE) de la Pontificia Universidad Católica del Perú, en el Laboratorio de Sistemas Integrables de la Universidad de Sao Paulo, contando con el apoyo del Grupo de Inteligencia, Modelamiento y Neurocomputación (ICONE). Fue desarrollado dentro del marco del proyecto Alfa-

Biosenintg. Los autores quieren manifestar su agradecimiento a ambos grupos de investigación, a la red europea Alfa y a la coordinación del proyecto Biosenintg.

REFERENCIAS

- [1] Rodney Douglas, Misha Mahowald, Carver Mead, “Neuromorphic Analogue VLSI”, Annual Reviews of Neuroscience, Vol. 18, pp. 255-281, 1995.
- [2] Leigh R. Hochberg et. al. “Neuronal ensemble control of prosthetic devices by human with tetraplegia”, Nature, Vol. 442, pp. 164-168, 2006.
- [3] Wolfgang Maass, “Networks of Spiking Neurons: The Third Generation of Neural Network Models”, Neural Networks, Vol. 10, No. 9, pp. 1659-1671, 1997.
- [4] John Hopfield, “Pattern recognition computation using action potential timing for stimulus representation”, Nature, Vol. 376, pp. 33-36, 1995.
- [5] Andrés Farfán, Emilio Del-Moral-Hernández, Joao Navarro, Wilhelmus Van Noije, “A CMOS Implementation of the Sine-Circle Map”, 48th Midwest Symposium on Circuits and Systems, 2005.
- [6] J.P. Lazzaro, “Low-power silicon spiking neurons and axons”, IEEE International Symposium on Circuits and Systems, 1992.